

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-224027
 (43)Date of publication of application : 11.08.2000

(51)Int.Cl. H03L 7/08
 H03L 7/099
 H03L 7/093
 H04B 7/26

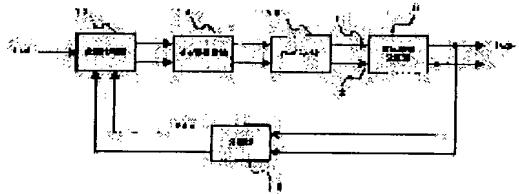
(21)Application number : 11-020480 (71)Applicant : MATSUSHITA ELECTRIC IND CO LTD
 (22)Date of filing : 28.01.1999 (72)Inventor : YASUNAGA TAKESHI

(54) PLL CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a PLL circuit which is hardly affected by noise which differentiates all loops and is suitable for integration, even in a voltage-controlled oscillator using a variable capacitance diode, etc., from among its resonance circuits of the voltage-controlled oscillator constituting the PLL circuit.

SOLUTION: The output signal of a phase comparator 13 is averaged by means of a low-pass filter 15, after the DC values of differential signal are converted by means of a dc conversion circuit 14, so that the differential voltage between the differential signals necessarily becomes a positive or negative value and inputted to the controlled voltage terminals 1 and 2 of a voltage-controlled oscillator 11. Since the DC values are converted, the control voltage of the oscillator 11 is differentiated, and a PLL circuit in which all loops are differentiated can be realized.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

[decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-224027

(P2000-224027A)

(43)公開日 平成12年8月11日(2000.8.11)

(51)Int.Cl. ⁷	識別記号	F I	テーマコード*(参考)
H 03 L 7/08		H 03 L 7/08	Z 5 J 1 0 6
7/099			F 5 K 0 6 7
7/093			E
H 04 B 7/26		H 04 B 7/26	N

審査請求 未請求 請求項の数8 O.L (全9頁)

(21)出願番号 特願平11-20480

(22)出願日 平成11年1月28日(1999.1.28)

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 安永 翔

神奈川県横浜市港北区綱島東四丁目3番1
号 松下通信工業株式会社内

(74)代理人 100099254

弁理士 役 昌明 (外3名)

Fターム(参考) 5J106 AA04 BB01 CC01 CC21 CC38

CC41 DD01 JJ00 JJ01 KK12

KK23 LL01

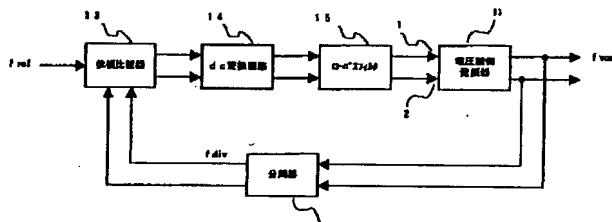
5K067 AA05 BB04 EE02 EE32

(54)【発明の名称】 P L L回路

(57)【要約】

【課題】 P L L回路を構成する電圧制御発振器のうち、共振回路に可変容量ダイオード等を用いた電圧制御発振器においても制御電圧を差動化して、すべてのループを差動化したノイズの影響を受けにくい集積化に適したP L L回路を提供する。

【解決手段】 位相比較器13の出力信号は、d c変換回路14で差動信号間の差電圧が必ず正、負どちらか一方の値となるようにそれぞれの差動信号の直流値を変換した後、ローパスフィルタ15で平均化されて電圧制御発振器11の制御電圧端子1、2に入力される。この直流値の変換により電圧制御発振器の制御電圧の差動化を図り、すべてのループを差動化したP L L回路を具現できる。



【特許請求の範囲】

【請求項1】 第1および第2の制御電圧端子に印加される差動電圧の差電圧に応じて発振周波数が変化する電圧制御発振器と、前記電圧制御発振器の出力信号の周波数を分周して出力する分周器と、前記分周器の出力信号と基準信号の位相を比較して位相差信号を出力する位相比較器と、前記位相比較器の出力信号のd c値を変換して差動信号の差電圧が常に正となるようにして出力するd c変換回路と、前記d c変換回路の出力信号を平均化して出力するローパスフィルタとを備えたことを特徴とするPLL回路。

【請求項2】 第1および第2の制御電圧端子に印加される差動電圧の差電圧に応じて発振周波数が変化する電圧制御発振器と、前記電圧制御発振器の出力信号の周波数を分周して出力する分周器と、前記分周器の出力信号と基準信号の位相を比較して位相差信号を出力する位相比較器と、前記位相比較器の出力信号を平均化して出力するローパスフィルタと、前記ローパスフィルタの出力信号のd c値を変換して差動信号の差電圧が常に正となるようにして出力するd c変換回路を備えたことを特徴とするPLL回路。

【請求項3】 前記電圧制御発振回路は、前記第1および第2の制御電圧端子の間に可変容量ダイオードを接続したことを特徴とする請求項1または2記載のPLL回路。

【請求項4】 前記電圧制御発振回路は、互いに差動対接続された一对の第1および第2のトランジスタと、前記第1のトランジスタのベースと前記第2のトランジスタのコレクタとの間に直列接続された第1および第2のコンデンサと、前記第2のトランジスタのベースと前記第1のトランジスタのコレクタとの間に直列接続された第3および第4のコンデンサと、前記第1および第2のコンデンサの直列接続点と前記第3および第4のコンデンサの直列接続点との間に接続されたインダクタと、一端が前記第1の制御電圧端子に接続され他端が前記第1および第2のコンデンサの直列接続点に接続された第5のコンデンサと、一端が前記第2の制御電圧端子に接続され他端が前記第3および第4のコンデンサの直列接続点に接続された第6のコンデンサと、前記第1および第2の制御電圧端子との間に接続された可変容量ダイオードを備えたことを特徴とする請求項1または2記載のPLL回路。

【請求項5】 前記電圧制御発振回路は、互いに差動対接続された一对の第1および第2のトランジスタと、前記第1のトランジスタのベースと前記第2のトランジスタのコレクタが接続され、前記第2のトランジスタのベースと前記第1のトランジスタのコレクタが接続され、前記第1および第2のトランジスタのベース間に接続されたインダクタと、一端が前記第1の制御電圧端子に接続され他端が前記第1のトランジスタのベースに接続さ

れた第1のコンデンサと、一端が前記第2の制御電圧端子に接続され他端が前記第2のトランジスタのベースに接続された第2のコンデンサと、前記第1および第2の制御電圧端子との間に接続された可変容量ダイオードを備えたことを特徴とする請求項1または2記載のPLL回路。

【請求項6】 前記d c変換回路は、互いに差動対接続された一对の第1および第2のトランジスタと、前記第1および第2のトランジスタのコレクタと電源端子との間に接続された第1および第2の抵抗と、前記第2のトランジスタのコレクタに接続された電流源とを備え、それぞれ前記第1および第2のトランジスタのベースを入力とし、前記第1および第2のトランジスタのコレクタを出力とすることを特徴とする請求項1または2記載のPLL回路。

【請求項7】 アンテナ、送受信部、通信制御部を有する携帯電話機において、前記携帯電話機の送受信部は少なくともローカル信号を発生させるためのPLL回路を備え、該PLL回路は、第1および第2の制御電圧端子に印加される差動電圧の差電圧に応じて発振周波数が変化する電圧制御発振器と、前記電圧制御発振器の出力信号の周波数を分周して出力する分周器と、前記分周器の出力信号と基準信号の位相を比較して位相差信号を出力する位相比較器と、前記位相比較器の出力信号のd c値を変換して差動信号の差電圧が常に正となるようにして出力するd c変換回路と、前記d c変換回路の出力信号を平均化して出力するローパスフィルタとを備えたことを特徴とする携帯電話機。

【請求項8】 アンテナ、送受信部、通信制御部を有する携帯電話機において、前記携帯電話機の送受信部は少なくともローカル信号を発生させるためのPLL回路を備え、該PLL回路は、第1および第2の制御電圧端子に印加される差動電圧の差電圧に応じて発振周波数が変化する電圧制御発振器と、前記電圧制御発振器の出力信号の周波数を分周して出力する分周器と、前記分周器の出力信号と基準信号の位相を比較して位相差信号を出力する位相比較器と、前記位相比較器の出力信号を平均化して出力するローパスフィルタと、前記ローパスフィルタの出力信号のd c値を変換して差動信号の差電圧が常に正となるようにして出力するd c変換回路を備えたことを特徴とする携帯電話機。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体集積回路に適したPLL回路に関し、特にノイズの影響を受けにくく安定した希望周波数が得られるようにしたものである。

【0002】

【従来の技術】 通常のPLL回路を図6に示す。図6においてPLL回路は、電圧制御発振器11と、分周器12

と、位相比較器13と、ローパスフィルタ15から構成されている。

【0003】次に、このPLL回路の動作について説明する。図6において、分周器12は、電圧制御発振器11の出力信号の周波数をM分周する。また、位相比較器13は、分周器12で分周した信号(f_{div})と基準信号(f_{ref})との位相を比較して位相差を出力する。位相比較器13の出力信号は、ローパスフィルタ15で平均化した後に電圧制御発振器11の制御電圧端子1に入力し負帰還ループを構成する。電圧制御発振器11は、制御電圧1に加わる電圧に応じて出力する信号の周波数を変化させる。PLL回路は、 f_{div} と f_{ref} の周波数および位相が一致したところで安定し、電圧制御発振器11より一定の出力信号を得る。PLL回路は、外部ノイズ、外部信号の影響を受けると安定な出力信号を確保できない。PLL回路の安定した動作を確保するためにシールド処理を行なう必要がある。しかし、集積化の際にはシールド処理は適さない。これを解決する技術として差動化がある。PLLの全ループ経路を差動化することにより、両信号にノイズが付加された場合でもその差電圧は変化せず同相除去される。

【0004】従来、差動型の電圧制御発振回路としては特開平6-350335に記載されたものが知られている。図7はこの従来の電圧制御発振器を示すものである。

【0005】図7において、従来の差動型の電圧制御発振回路は差動対接続されたトランジスタ21、22と、複数のコンデンサ23～26、80、81、可変容量ダイオード30、インダクタ82、83から構成されている。

【0006】次にこの従来の電圧制御発振回路の動作について説明する。差動対トランジスタ21、22の共通エミッタには定電流回路44が接続されている。差動トランジスタのコレクタには負荷抵抗45、46が接続されている。可変容量ダイオード30の容量値は電圧制御端子1に印加される制御電圧に対応する値となるため、制御電圧を変化させることによって可変容量ダイオード30を含み、コンデンサ81、インダクタ82、83からなる共振回路の共振周波数が変化し、発振周波数を制御することができる。

【0007】しかしながら、可変容量ダイオード30に印加される制御電圧が差動化されていないため、制御電圧端子1へのノイズの混入により発振周波数が不安定となってしまう。

【0008】制御電圧を差動化して入力できる差動型の電圧制御発振回路としては、特開平7-162231号公報に記載されたものが知られている。図8はこの従来の電圧制御発振器を示すものである。

【0009】図8において、この従来の電圧制御発振回路は差動対接続されたトランジスタ21、22、複数のコンデンサ23～26、可変容量ダイオード30、インダクタ29から構成されている。差動対トランジスタ21、22の共通エミッタには定電流回路44が接続されている。差動対トランジスタ21、22のコレクタにはそれぞれ負荷抵抗45、46が接続されている。更に、トランジスタ21のベースとトランジスタ22のコレクタの間に、コンデンサ23、24の直列回路が接続され、またトランジスタ22のベースとトランジスタ21のコレクタとの間には、コンデンサ25、26の直列回路が接続されている。これらコンデンサの直列回路が正帰還回路となり、差動対トランジスタ21、22に対しても対称となる。コンデンサ23、24の直列接続点の間には、可変容量ダイオード30とインダクタ29からなる直列LC回路が接続されている。抵抗70、71により可変容量ダイオードの両端に制御電圧が印加される。制御電圧を差動信号として与えれば差動化することができる。

【0010】
【発明が解決しようとする課題】電圧制御発振器は共振回路を構成する可変容量ダイオード30のPN接合容量が変化することを利用したものである。このため可変容量ダイオード30には常に逆方向バイアスが印加されるようになる必要がある。しかしながら従来のPLL回路においては電圧制御発振器の2つの制御電圧端子間の電圧差は正と負の両方の値をとり得る。したがって、制御電圧端子1、2のどちらか一方を発振周波数の制御に用い、他方を接地して用いることとなり制御電圧の差動化が図れない。そこで、通常の差動電圧を制御電圧として使おうとすると制御電圧のダイナミックレンジは半減し、電圧制御発振器の出力信号の周波数の変化量が確保できなくなる。

【0011】本発明は、上記のような問題点を解決するためのもので、すべてのループを差動化できるPLL回路を提供することを目的とする。

【0012】
【課題を解決するための手段】上記目的を達成するため本発明のPLL回路は、第1および第2の制御電圧端子に印加される差動電圧の差電圧に応じて発振周波数が変化する電圧制御発振器と、前記電圧制御発振器の出力信号の周波数を分周して出力する分周器と、前記分周器の出力信号と基準信号の位相を比較して位相差信号を出力する位相比較器と、前記位相比較器の出力信号のdc値を変換して差動信号の差電圧が常に正となるようにして出力するdc変換回路と、前記dc変換回路の出力信号を平均化して出力するローパスフィルタとを備えたことを特徴としたものである。

【0013】本発明によれば、すべてのPLLループを差動化しノイズに強く集積化に適したPLL回路が得られる。

【0014】
【発明の実施の形態】本発明の請求項1に記載の発明は、第1および第2の制御電圧端子に印加される差動電圧の差電圧に応じて発振周波数が変化する電圧制御発振器と、前記電圧制御発振器の出力信号の周波数を分周して出力する分周器と、前記分周器の出力信号と基準信号

の位相を比較して位相差信号を出力する位相比較器と、前記位相比較器の出力信号のd c値を変換して差動信号の差電圧が常に正となるようにして出力するd c変換回路と、前記d c変換回路の出力信号を平均化して出力するローパスフィルタとを備えたことを特徴とするPLL回路であって、すべてのPLLループを差動化して構成しうるのでノイズに強いという作用を有する。

【0015】また、本発明の請求項2に記載の発明は、第1および第2の制御電圧端子に印加される差動電圧の差電圧に応じて発振周波数が変化する電圧制御発振器と、前記電圧制御発振器の出力信号の周波数を分周して出力する分周器と、前記分周器の出力信号と基準信号の位相を比較して位相差信号を出力する位相比較器と、前記位相比較器の出力信号を平均化して出力するローパスフィルタと、前記ローパスフィルタの出力信号のd c値を変換して差動信号の差電圧が常に正となるようにして出力するd c変換回路を備えたことを特徴とするPLL回路であって、すべてのPLLループを差動化して構成しうるのでノイズに強いという作用を有する。

【0016】また、本発明の請求項3の発明は、前記電圧制御発振回路は、第1および第2の制御電圧端子の間に可変容量ダイオードを接続したことを特徴とする請求項1または2記載のPLL回路であって、すべてのPLLループを差動化して構成しうるのでノイズに強いという作用を有する。

【0017】また、本発明の請求項4の発明は、前記電圧制御発振回路は、互いに差動対接続された一対の第1および第2のトランジスタと、前記第1のトランジスタのベースと前記第2のトランジスタのコレクタとの間に直列接続された第1および第2のコンデンサと、前記第2のトランジスタのベースと前記第1のトランジスタのコレクタとの間に直列接続された第3および第4のコンデンサと、前記第1および第2のコンデンサの直列接続点と前記第3および第4のコンデンサの直列接続点との間に接続されたインダクタと、一端が前記第1の制御電圧端子に接続され他端が前記第1および第2のコンデンサの直列接続点に接続された第5のコンデンサと、一端が前記第2の制御電圧端子に接続され他端が前記第3および第4のコンデンサの直列接続点に接続された第6のコンデンサと、前記第1および第2の制御電圧端子との間に接続された可変容量ダイオードを備えたことを特徴とする請求項1または2記載のPLL回路であって、すべてのPLLループを差動化して構成しうるのでノイズに強いという作用を有する。

【0018】また、本発明の請求項5の発明は、前記電圧制御発振回路は、互いに差動対接続された一対の第1および第2のトランジスタと、前記第1のトランジスタのベースと前記第2のトランジスタのコレクタが接続され、前記第2のトランジスタのベースと前記第1のトランジスタのコレクタが接続され、前記第1および第2の

トランジスタのベース間に接続されたインダクタと、一端が前記第1の制御電圧端子に接続され他端が前記第1のトランジスタのベースに接続された第1のコンデンサと、一端が前記第2の制御電圧端子に接続され他端が前記第2のトランジスタのベースに接続された第2のコンデンサと、前記第1および第2の制御電圧端子との間に接続された可変容量ダイオードを備えたことを特徴とする請求項1または2記載のPLL回路であって、すべてのPLLループを差動化して構成しうるのでノイズに強いという作用を有する。

【0019】また、本発明の請求項6の発明は、前記d c変換回路は、互いに差動対接続された一対の第1および第2のトランジスタと、前記第1および第2のトランジスタのコレクタと電源端子との間に接続された第1および第2の抵抗と、前記第2のトランジスタのコレクタに接続された電流源とを備え、それぞれ前記第1および第2のトランジスタのベースを入力とし、前記第1および第2のトランジスタのコレクタを出力とすることを特徴とする請求項1または2記載のPLL回路であって、すべてのPLLループを差動化して構成しうるのでノイズに強いという作用を有する。

【0020】また、本発明の請求項7の発明は、アンテナ、送受信部、通信制御部を有する携帯電話機において、前記携帯電話機の送受信部は少なくともローカル信号を発生させるためのPLL回路を備え、該PLL回路は、第1および第2の制御電圧端子に印加される差動電圧の差電圧に応じて発振周波数が変化する電圧制御発振器と、前記電圧制御発振器の出力信号の周波数を分周して出力する分周器と、前記分周器の出力信号と基準信号の位相を比較して位相差信号を出力する位相比較器と、前記位相比較器の出力信号のd c値を変換して差動信号の差電圧が常に正となるようにして出力するd c変換回路と、前記d c変換回路の出力信号を平均化して出力するローパスフィルタとを備えたことを特徴とする携帯電話機であって、携帯電話機に用いられるPLL回路においてすべてのPLLループを差動化して構成しうるのでノイズに強いという作用を有する。

【0021】また、本発明の請求項8の発明は、アンテナ、送受信部、通信制御部を有する携帯電話機において、前記携帯電話機の送受信部は少なくともローカル信号を発生させるためのPLL回路を備え、該PLL回路は、第1および第2の制御電圧端子に印加される差動電圧の差電圧に応じて発振周波数が変化する電圧制御発振器と、前記電圧制御発振器の出力信号の周波数を分周して出力する分周器と、前記分周器の出力信号と基準信号の位相を比較して位相差信号を出力する位相比較器と、前記位相比較器の出力信号を平均化して出力するローパスフィルタと、前記ローパスフィルタの出力信号のd c値を変換して差動信号の差電圧が常に正となるようにして出力するd c変換回路を備えたことを特徴とする携帯

電話機であって、携帯電話機に用いられるPLL回路においてすべてのPLLループを差動化して構成しうるノイズに強いという作用を有する。

【0022】以下、本発明の実施の形態について、図面を用いて説明する。

【0023】(第1の実施の形態) 図1は、本発明の第1の実施の形態におけるPLL回路の構成を示すものである。上記した従来例と同一の部分は同一符号を付して説明する。

【0024】図1において、第1の実施形態のPLL回路は、電圧制御発振器11と、分周器12と、位相比較器13と、dc変換回路14と、ローパスフィルタ15から構成されている。

【0025】次にこのPLL回路の動作について説明する。図1において、分周器12は、電圧制御発振器11の出力信号の周波数をM分周する。また、位相比較器13は、分周器12で分周した信号(f div)と基準信号(f ref)との位相を比較して位相差を出力する。位相比較器13の出力信号は、dc変換回路14で直流電圧値が変化する。dc変換回路14の出力信号は、ローパスフィルタ15で平均化された後に電圧制御発振器11の制御電圧端子1、2に入力される。電圧制御発振器11は、制御電圧に加わる差電圧に応じて出力する信号の周波数を変化させる。PLL回路は、f divとf refの周波数および位相が一致したところで安定し、電圧制御発振器11より一定の出力信号を得る。

【0026】次に本実施形態の動作について説明する。分周器12の分周数をMとすると電圧制御発振器11の出力信号周波数f vcoは次式で表わされる。

$$f_{vco} = M \times f_{ref} \quad \dots (1)$$

【0027】Mの値を制御することによって発振周波数f vcoを変化させることができる。発振周波数が変化する時に位相比較器13の出力信号が変化し、差動信号間の差電圧は正と負の値の間に変化する。dc変換回路14は、位相比較器13の出力信号を入力し、差動信号間の差電圧が必ず正となるようにそれぞれの差動信号の直流値を変化させる。

【0028】図1に位相比較器の出力部の回路図を示す。位相比較器の出力部は、P型MOSトランジスタ105、107と、N型MOSトランジスタ106、108と、コンデンサ109と、高抵抗110、111と、バイアス電圧源112と、出力端子113、114から構成される。

【0029】位相比較器の内部では、f divとf refの位相差に応じてUP信号とDOWN信号を発生しコンデンサ109の充放電を行なう。すなわち、UP信号がHigh、DOWN信号がLowの時は、トランジスタ105、108がオン、トランジスタ106、107がオフしてコンデンサの充放電を行ない、出力端子113の電位が出力端子114に比べて高くなる。

【0030】逆にDOWN信号がHigh、UP信号がLowの時はトランジスタ106、107がオン、トランジスタ105、108が

オフして出力端子114の電位が出力端子113に比べて高くなる。

【0031】UP信号、DOWN信号が共にLowの時は、すべてのトランジスタがオフして、出力端子113、114の電圧状態を保持する。出力端子のバイアス電圧は高抵抗110、114を介してバイアス電圧源112より供給される。図9に位相比較器の出力波形を示す。

【0032】図10にdc変換回路の出力波形を示す。出力電圧のdc値は、電圧制御発振器の出力周波数に対応する。図9において、差動信号間の差電圧は正、負と変化する。図10においては、出力差電圧のdc値がシフトされ交差点はなくなり差電圧は常に正值となる。しかし、ノイズが付加された時はやはり同相除去され、dc変換前の差動信号と同じ働きをする。dc変換回路14の出力信号は、それぞれローパスフィルタ15で平均化されて、電圧制御発振器11の制御電圧入力端子1、2へ入力される。共振回路に可変容量ダイオードを用いた電圧制御発振器11の電圧制御端子1、2に適用できる。

【0033】図3に電圧制御発振器の第1の構成例を示す。互いに差動対接続された一対のトランジスタ21、22と、トランジスタ21のベースとトランジスタ22のコレクタとの間に直列接続されたコンデンサ23、24と、トランジスタ22のベースとトランジスタ21のコレクタとの間に直列接続されたコンデンサ25、26と、コンデンサ23、24の直列接続点とコンデンサ25、26の直列接続点との間に接続されたインダクタ29と、一端が制御電圧端子1に接続され他端がコンデンサ23、24の直列接続点に接続されたコンデンサ27と、一端が制御電圧端子2に接続され他端がコンデンサ25、26の直列接続点に接続されたコンデンサ28と、制御電圧端子1、2との間に接続された可変容量ダイオード30から構成される。

【0034】抵抗42、43によりトランジスタ21、22のベースバイアスが印加される。直列接続されたコンデンサ23、24と、直列接続されたコンデンサ25、26がそれぞれ対称な帰還回路を構成する。

【0035】発振周波数は、コンデンサ27、28、インダクタ29、可変容量ダイオード30からなる並列共振回路の共振周波数で決まる。制御電圧端子1、2に印加される差電圧によって可変容量ダイオードのインピーダンスを変化させて発振周波数を制御できる。出力信号をトランジスタ21、22のコレクタより取り出すことにより差動の出力信号を得る。本構成により電圧制御発振回路は完全に差動動作を行ない、同相除去により混入したノイズを除去することができる。

【0036】図4に電圧制御発振器の他の構成例を示す。互いに差動対接続された一対のトランジスタ21、22と、トランジスタ21のベースとトランジスタ22のコレクタが接続され、トランジスタ22のベースとトランジスタ21のコレクタが接続され、トランジスタ21、22のベース間に接続されたインダクタと、一端が制御電圧端子1に

接続され他端がトランジスタ21のベースに接続されたコンデンサ27と、一端が制御電圧端子2に接続され他端がトランジスタ22のベースに接続されたコンデンサ28と、制御電圧端子1、2との間に接続された可変容量ダイオード30から構成される。

【0037】発振周波数は、コンデンサ27、28、インダクタ29、可変容量ダイオード30からなる並列共振回路の共振周波数で決まる。制御電圧端子1、2に印加される差動電圧によって可変容量ダイオードのインピーダンスを変化させて発振周波数を制御できる。出力信号をトランジスタ21、22のコレクタより取り出すことにより差動の出力信号を得る。

【0038】本構成により電圧制御発振回路は完全に差動動作を行ない、同相除去により混入したノイズを除去することができる。さらに、帰還経路を直接接続することにより、帰還回路のコンデンサとトランジスタのベ

$$V_{cc} \geq V_{59} \geq V_{cc} - I_e \cdot R \quad \dots (3)$$

$$V_{cc} - I_c \cdot R \geq V_{60} \geq V_{cc} - I_c \cdot R - I_e \cdot R \quad \dots (4)$$

【0042】 V_{59} の最小値 ($V_{cc} - I_e \cdot R$) と、 V_6 の最大値 ($V_{cc} - I_c \cdot R$) の差電圧は次式の関係に

$$(V_{cc} - I_e \cdot R) - (V_{cc} - I_c \cdot R) = R(I_c - I_e) \quad \dots (5)$$

【0043】上記した(2)式より ($I_c - I_e$) ≥ 0 であるから上記(5)式は常に正となり、これを制御電圧として使うことにより可変容量ダイオードには常に逆方向バイアスを印加することができる。

【0044】電流値 I_c と I_e を等しく設定する場合には、同サイズのNPNトランジスタからなるカレントミラーアンプ回路で構成することにより電流設定が可能となる。また、NPNトランジスタのミラー比を変えることにより不等号の関係も容易に実現できるため集積化に適している。

【0045】なお、本実施形態のPLL回路の適用例としては、少なくとも送受信部を有する携帯電話機において、ローカル信号を発生させるためのPLL回路に適用すればノイズの影響を受けにくく集積化に適したPLL回路が得られるので、携帯電話機を小型化できる。

【0046】(第2の実施の形態) 図2は、本発明の第2の実施形態におけるPLL回路の構成を示すものである。上記した従来例と同一の部分は同一符号を付して説明する。

【0047】図2において第2の実施形態のPLL回路は、電圧制御発振器11と、分周器12と、位相比較器13と、ローパスフィルタ15と、dc変換回路14から構成されている。

【0048】次にこのPLL回路の動作について説明する。図2において、分周器12は、電圧制御発振器11の出力信号の周波数をM分周する。また、位相比較器13は、分周器12で分周した信号(f_{div})と基準信号(f_{ref})との位相を比較して位相差を出力する。位相比較器13の出力信号は、ローパスフィルタ15で平均化された後にd

ースバイアスを供給するための抵抗が削減できる。特に集積化の際には、コンデンサの占める面積が大きくなるためチップ面積の削減が図れ、低コスト化が図れる。

【0039】図5にdc変換回路の一例を示す。互いに差動対接続されたトランジスタ51、52と、それぞれ差動対トランジスタ51、52のコレクタと電源端子55との間に接続された抵抗53、54と、トランジスタ52のコレクタに接続された電流源62から構成される。

【0040】差動対トランジスタ51、52のベース57、58を入力とし、コレクタ59、60を出力とする。ここで、電流源61の電流値 I_e と、電流源62の電流値 I_c は次式の関係にある。

$$I_c \geq I_e \quad \dots (2)$$

【0041】いま、抵抗53、54の抵抗値をR、電源電圧を V_{cc} とすると、出力端子59、60の出力電圧 V_{59} 、 V_{60} の範囲は次式のように表わされる。

ある。

$$(V_{cc} - I_e \cdot R) - (V_{cc} - I_c \cdot R) = R(I_c - I_e) \quad \dots (5)$$

dc変換回路14へ入力される。dc変換回路14で直流電圧値が変化する。dc変換回路14の出力信号は、電圧制御発振器11の制御電圧端子1、2に入力される。電圧制御発振器11は、制御電圧に加わる差電圧に応じて出力する信号の周波数を変化させる。PLL回路は、 f_{div} と f_{ref} の周波数および位相が一致したところで安定し、電圧制御発振器11より一定の出力信号を得る。

【0049】発振周波数が変化する時にローパスフィルタ15の出力信号が変化し、差動信号間の差電圧は正と負の値の間で変化する。dc変換回路14は、ローパスフィルタ15の出力信号を入力し、差動信号間の差電圧が必ず正となるようにそれぞれの差動信号の直流値を変化させる。

【0050】動作については、図1の第1の実施形態と同じである。さらに、dc変換回路をローパスフィルタの後に配置することにより、dc変換回路の入力信号の周期的な変化は遅くなっている。このため、dc変換回路の処理を高速に行なう必要がなく、回路の消費電流の削減が図れる。

【0051】なお、本実施形態のPLL回路の適用例としては、少なくとも送受信部を有する携帯電話機において、ローカル信号を発生させるためのPLL回路に適用すればノイズの影響を受けにくく集積化に適したPLL回路が得られるので、携帯電話機を小型化できる。

【0052】

【発明の効果】以上説明したように本発明は、半導体に集積するPLL回路において、PLLループのすべてを差動化することによりノイズの影響を受けにくくし、安定した希望周波数が得られるという有利な効果を具現す

る。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態におけるPLL回路の構成を示す図。

【図2】本発明の第2の実施の形態におけるPLL回路の構成を示す図。

【図3】本発明の第1および第2の実施の形態における電圧制御発振器の構成を示す図。

【図4】本発明の第1および第2の実施の形態における電圧制御発振器の他の構成を示す図。

【図5】本発明の第1および第2の実施の形態におけるdc変換回路の構成を示す図。

【図6】従来のPLL回路の構成を示す図。

【図7】従来の電圧制御発振回路の第1の構成を示す図。

【図8】従来の電圧制御発振回路の第2の構成を示す図。

【図9】位相比較器の出力波形を示す図。

【図10】dc変換回路の出力波形を示す図。

【図11】位相比較器出力部回路である。

【符号の説明】

1、2 制御電圧端子

11 電圧制御発振器

12 分周器

13 位相比較器

14 dc変換回路

15 ローパスフィルタ

21、22、51、52 トランジスタ

42、43、45、46、53、54、70、71 抵抗

29、82、83 インダクタ

23~28、81、109 コンデンサ

44、61、62 電流源

30 可変容量ダイオード

40、55 電源端子

105、107 P型MOSトランジスタ

106、108 N型MOSトランジスタ

110、111 高抵抗

112 バイアス電圧源

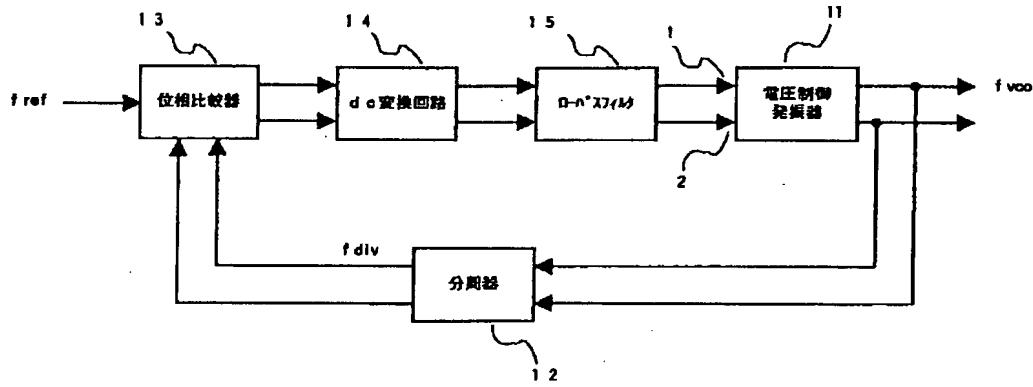
113、114 出力端子

VB バイアス電圧

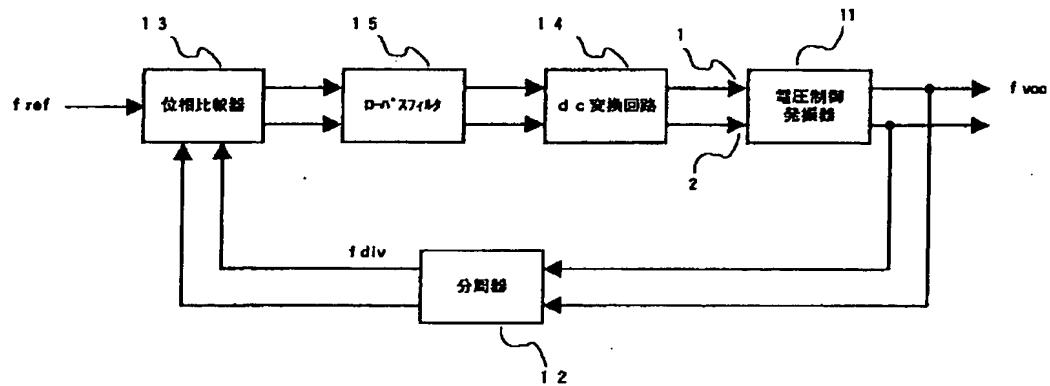
Vcc 電源電圧

I_o、I_e、I_c 電流

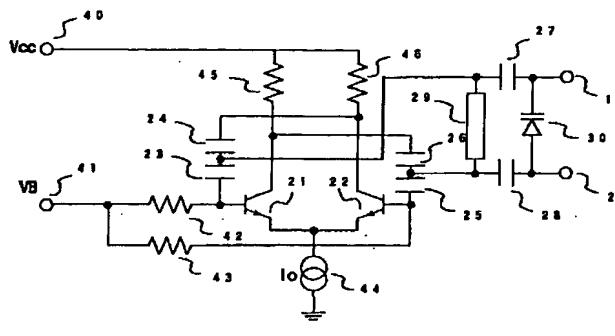
【図1】



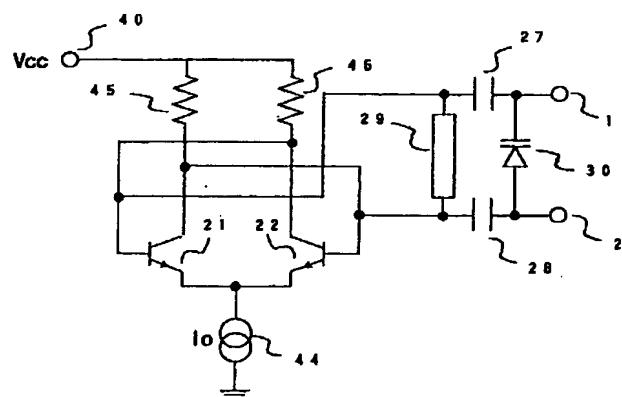
【図2】



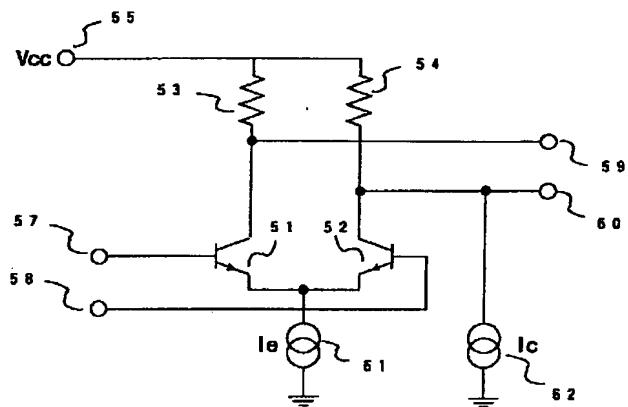
【図3】



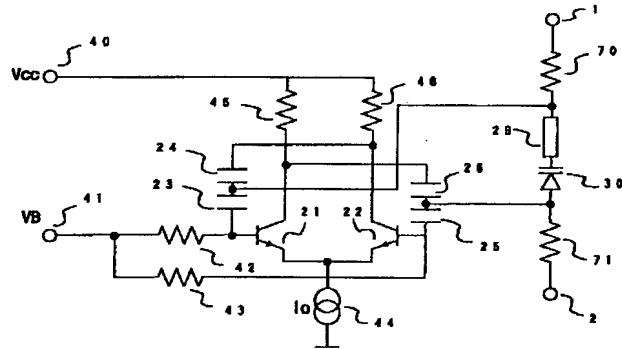
【図4】



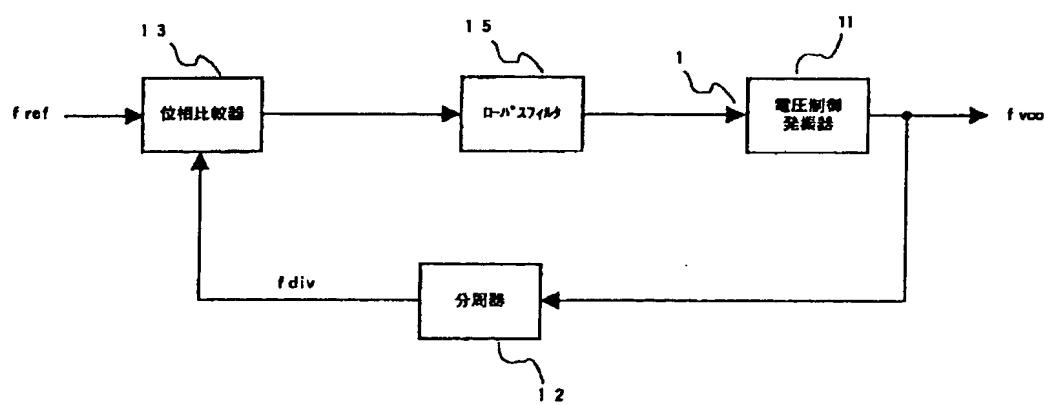
【図5】



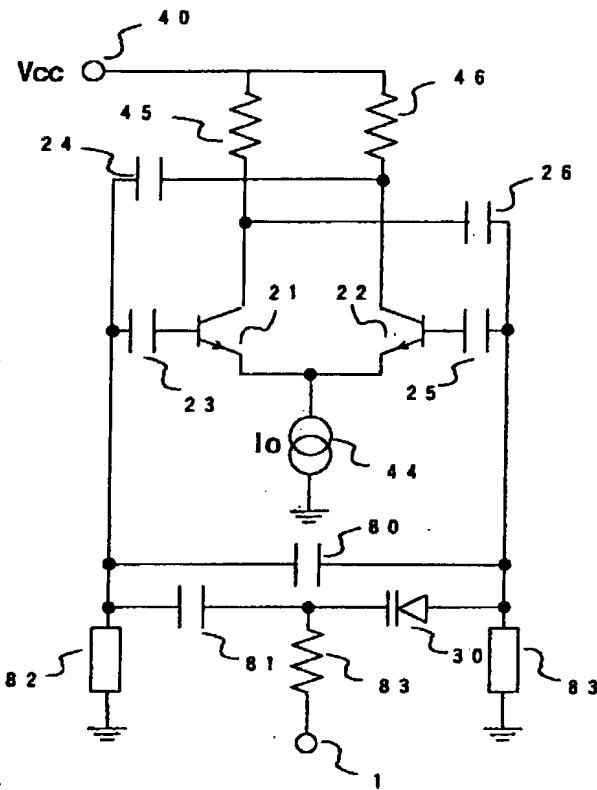
【図8】



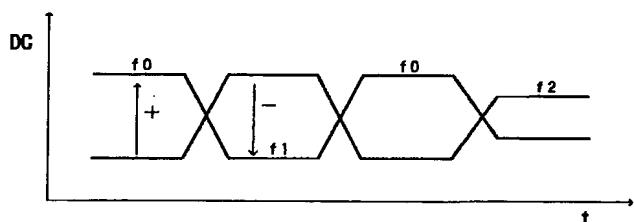
【図6】



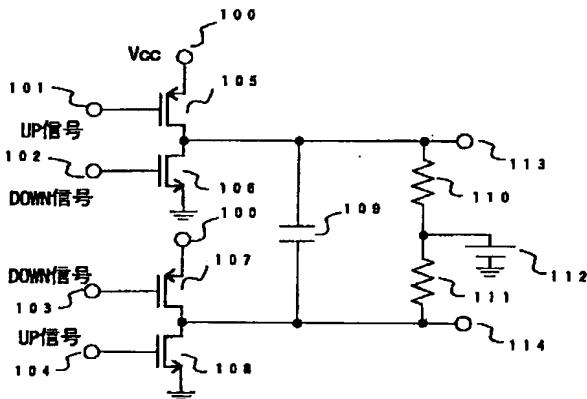
【図7】



【図9】



【図11】



【図10】

